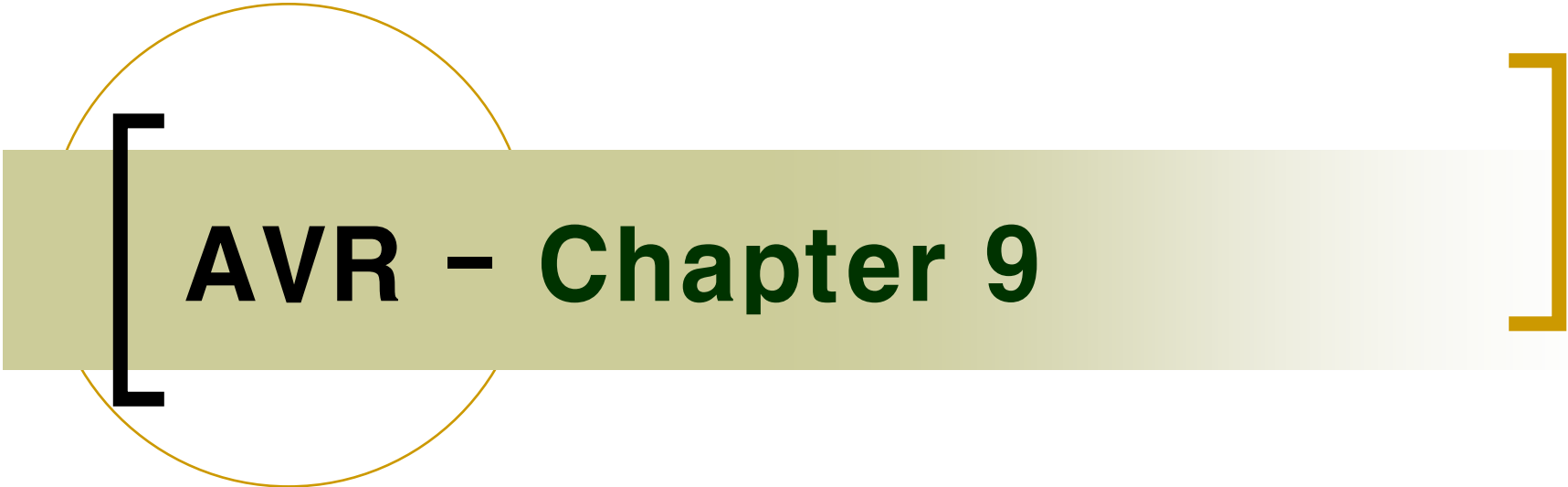




# AVR - Chapter 9

류 대 우

[davidryu@newtc.co.kr](mailto:davidryu@newtc.co.kr)

# [Init\_devices();]

- **MCUCR = 0x00;**
  - **MCUCR(MCU Control Register)**는 인터럽트의 벡터의 위치를 설정하고 또는 외부 메모리를 사용 할 경우에 웨이트 사이클 개수를 설정할 때 사용한다
  - **Bit 1 – IVSEL**
    - **Interrupt Vector Select**
  - **IVSEL = 0**
    - 인터럽트 벡터는 플래시 메모리의 시작점(\$0000)에 위치하게 된다
  - **IVSEL = 1**
    - 인터럽트 벡터는 플래시 메모리의 Boot Loader section의 시작점으로 이동한다. Boot Loader section의 시작점의 어드레스는 BOOTSZ 비트에 의해서 결정되며 인터럽트 벡터의 예기치 않은 위험을 방지하기 위해서 IVSEL 비트를 설정하는 순서는 다음과 같다
      1. IVCE(Interrupt Vector Change Enable) 비트에 "1"을 쓴다
      2. 4 사이클 이내에 IVCE=0으로 설정하고 IVSEL에는 원하는 비트를 설정한다
  - **BIT 0 – IVCE**
    - **Interrupt Vector Change Enable**
  - **IVCE=1**
    - IVSEL 비트를 변경할 수 있다 IVCE 비트는 IVSEL 비트를 변경하고 난 후 4사이클이 지나면 하드웨어에 의해서 "0"으로 클리어된다
  - **ex)void Move\_interrupts(void)**
    - {
    - //Enable change of interrupt vectors
    - **MCUCR = ( 1 << IVCE);**
    - //Move interrupts to boot Flash section
    - **MCUCR = ( 1 << IVSEL);**
    - }

# [Init\_devices();]

## ■ EICRA = 0x00;

- extended ext ints interrupt sense control 및 MCU의 일반적인 기능을 설정하는데 사용한다.
- EICRA(External Interrupt Control Register A)레지스터는 interrupt sense control 및 MCU의 일반적인 기능을 설정하는 데 사용한다
- Bit 7 ~ 0 ISC31,ISC30~ISC01m ISC00 : External Interrupt 3~0 Sense Control 비트

| ISCn1 |   | ISCn0 | 설명                          |
|-------|---|-------|-----------------------------|
| ■     | 0 | 0     | INTn의 Low level의 인터럽트를 발생한다 |
| ■     | 0 | 1     | 예약                          |
| ■     | 1 | 0     | INTn의 하강 에지에서 인터럽트를 발생한다    |
| ■     | 1 | 1     | INTn의 상승 에지에서 인터럽트를 발생한다    |

# [Init\_devices();]

- **EICRB = 0x00;**

- extended ext ints 다 기능 비트로 구성 되어 있다
- Bit 7~0-ISC71,ISC70 ~ ISC41, ISC40 : External Interrupt 7~4 Sense Control비트

| ----- |       |                                          |
|-------|-------|------------------------------------------|
| ■     | ISCn1 | ISCn0                      설명            |
| ----- |       |                                          |
| ■     | 0     | 0            INTn의Low level에서 인터럽트를 발생한다 |
| ■     | 0     | 1            INTn 핀에 논리적인 변화가 발생 할 경우    |
| ■     | 1     | 0            INTn의 하강에지에서 인터럽트를 발생한다     |
| ■     | 1     | 1            INTn의 상승 에지에서인터럽트를 발생한다     |

# [Init\_devices();]

- **EIMSK = 0x00;**
  - EIMSK(External Interrupt Mask Register)
  - EIMSK 레지스터는 INT0 ~ INT7의 개별 인터럽트를 설정한다
  - Bit 7 ~ 0 INT7 ~ INT0 : External Interrupt Request 7 ~ 0 Enable 이 비트에 "1"을 쓰고 SREG 레지스터의 I 비트가 "1"로 설정되어 있으면 외부 인터럽트 enable된다  
EICRA와 EICRB 레지스터의 ISCn1과 ISCn0의 비트를 설정함으로써 예지 또는 레벨 방식을 선택할수 있다

# [Init\_devices();

- **TIMSK = 0x10;**
  - timer interrupt sources
  - Timer/Counter Interrupt Mask Registersms Timer/Counter0, Timer/Counter1 Timer/Counter2가 발생하는 인터럽트를 개별적으로 enable하는 레지스터이다
    - **Bit 1**
      - OCIE0(Timer/Counter0 Output Compare Match Interrupt Enable)
      - OCIE0 비트가 "1"로 설정되고 SREG의 I 비트가 "1"로 설정되어 있으면
  - Timer/Counter()출력비교 인터럽트가 발생되어 TIFR레지스터의 OCF 비트가 "1"로 되면 이 인터럽트가 처리된다
    - **Bit 0 : TOIE0(Timer/Counter0 Overflow Interrupt Enable)**
      - TOIE0 비트가 "1"로 설정되고 SREG의 I 비트가 "1"로 설정되어 있으면 Timer/Counter0 Overflow Interrupt가 enable된다 Timer/Counter0가 overflow를 만나면 즉 TIFR레지스터 의 TOV0 비트가 "1"로 셋하면 인터럽트 서비스 루틴이 실행된다

■

■