



EMC 적합성을 위한 PCB 설계기술

Printed Circuit board Design Techniques for EMC Compliance

2007. 7. 14.

류대우
davidryu@newtc.co.kr

류 대 우

davidryu@newtc.co.kr





목 차



1. Introduction.
2. 인쇄 회로 기판 기초.
3. Bypassing and Decoupling.
4. 클럭 회로.
5. 정전기 방전 보호.
6. 추가적인 설계 기술.
7. Noise의 최소화 방법.





1. Introduction



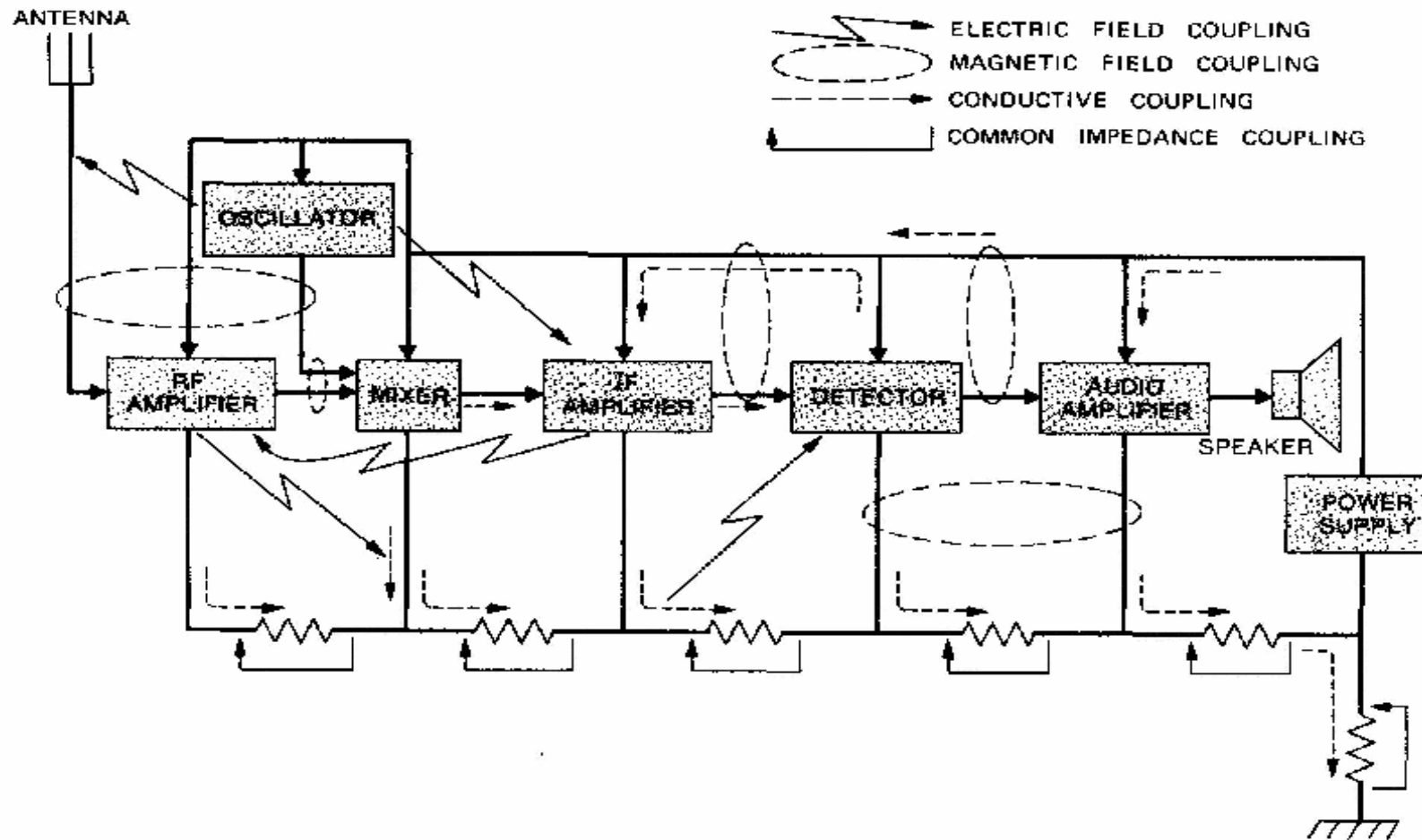
Noise의 발생 원인

- The three primary means of noise coupling
 1. Conductive coupling
 2. Common impedance coupling.
 3. Coupling by radiated electromagnetic fields.



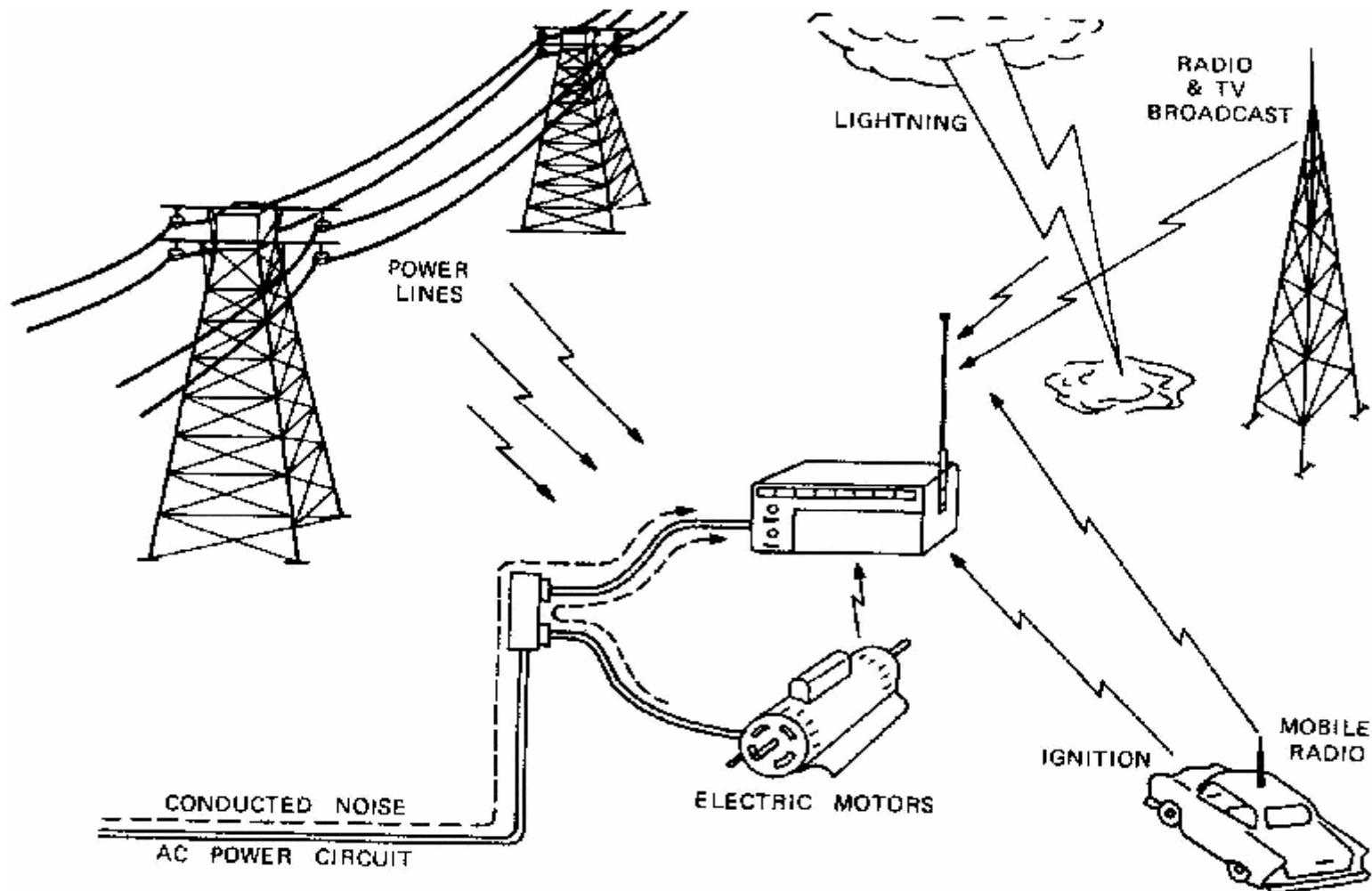


시스템 내부에서의 Noise 발생 예





Outside of the laboratory



류 대 우

davidryu@newtc.co.kr



PCB 설계시 유의 사항



- 신호의 카테고리를 분류한다.
- VLSI 회로의 소자 밀도를 고려한다.
- 임피던스 매칭을 한다.
- Line의 경로 설정(Routing)
- PCB의 층 적층의 할당.

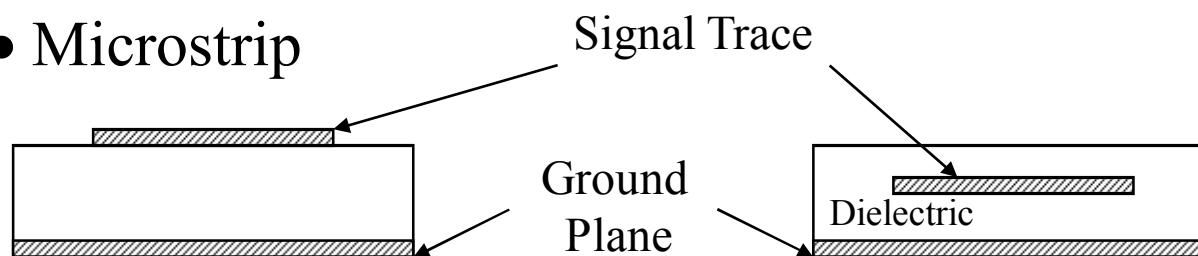




2. 인쇄 회로 기판 기초

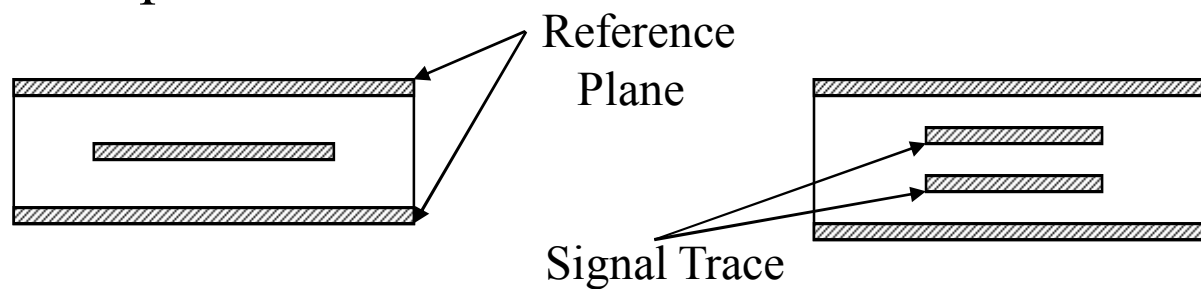


- Microstrip



Stripline 보다 빠른 클럭, 논리 신호의 전달

- Stripline



Signal Delay가 문제되나, RF 복사를 억제



층 적층 할 당



Layer #	1	2	3	4	5	6	7	8	9	10	Comments
2		S1 S2									Lower-speed designs
4		S1	G	P	S2						
6		S1	G	S2	S3	P	S4				Lower-speed designs
6		S1	S2	G	P	S3	S4				Default critical signals to S2 only
6		S1	G	S2	P	G	S3				Default lower-speed to S2-S3
8		S1	S2	G	S3	S4	P	S5	S6		Default high-speed to S2-S3
8		S1	G	S2	G	P	S3	G	S4		Best for EMC

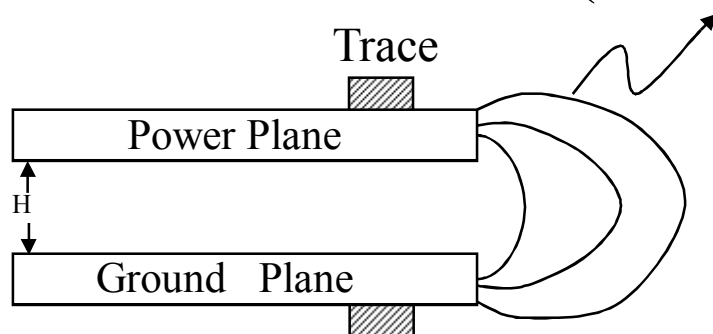
S : Signal Layer, P : Power, G : Ground



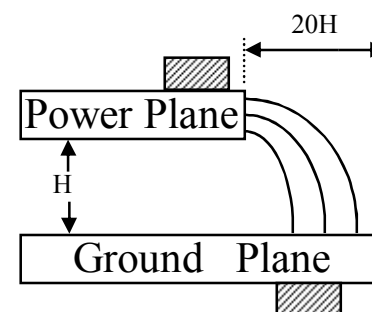
20-H 규칙



1. 두 층 기판위에 Power와 Ground Line을 근접시킨다.
2. Ground Plane 보다 물리적으로 더 작게 Power Plane을 만든다. (20-H Rule)



RF emission occur



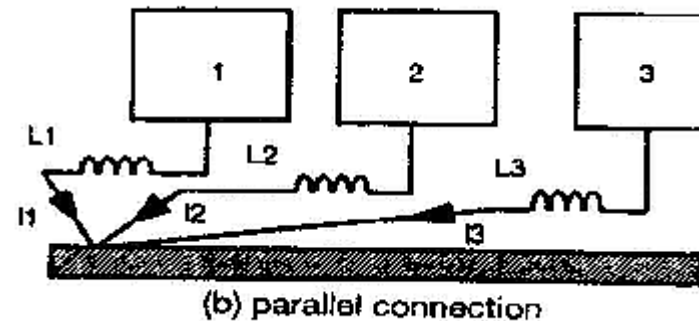
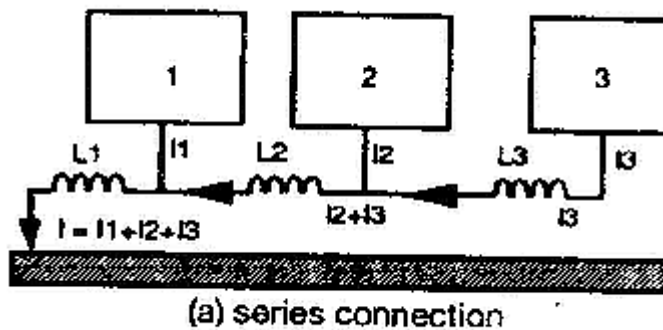
RF emission do not occur

Fringing Effect



1. 단일점 접지.

- 1 MHz 이하의 클럭율을 이용한 저주파 시스템에 응용.
- 오디오, 아날로그 기구, 60Hz 전력 시스템에 사용.



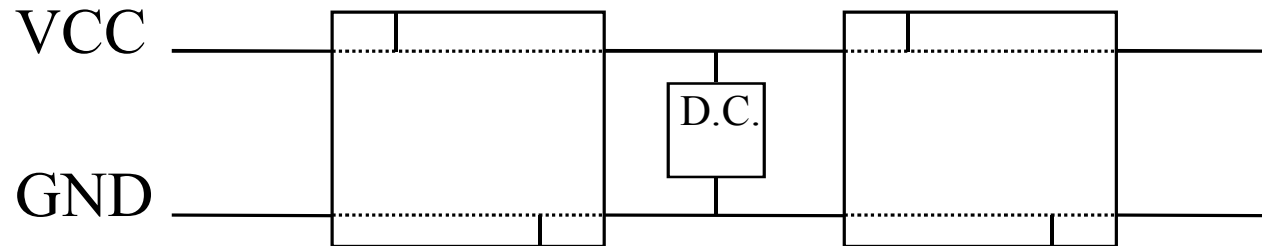
2. 다중점 접지.

- 10 MHz 이상의 클럭율을 이용한 고주파 시스템에 사용.

3. Bypassing and Decoupling

1. Decoupling Capacitor Placement.

Decoupling Capacitor는 가능한 IC와 가깝게 해야 한다.



2. Unused Inputs.

Unused Inputs는 일반적으로 직렬 저항과 함께 VCC 또는 Ground에 연결되어야 한다.



접지 루프의 최소화.



1. 가능한 가깝게 모든 전력과 접지 Trace를 유지한다.
2. Ground에 가능한 근접하게 Signal Line을 유지한다.
3. Line 의 길이를 짧게 한다.
4. 가능한 많은 접지 평면을 가지고 기판의 이용되지 않는 영역을 채운다.
5. I/O 커넥터에 근접하게 논리 소자와 필터 소자를 위치시킨다.



4. 클럭 회로(Clock Circuits)

- Clock Trace는 예외없이, 나머지 Trace를 자동 경로 설정하기 이전에 수동으로 경로가 지정되어야 한다.
- 클럭 발생기, 관련 소자, 분배선은 PCB에서 RF 방출의 원인이 된다.

$$f_{\max} = \frac{1}{\pi \times t_r}$$

$f_{\max}$ = 발생된 최대 RF 주파수
 t_r = Pulse or Edge Rise Time

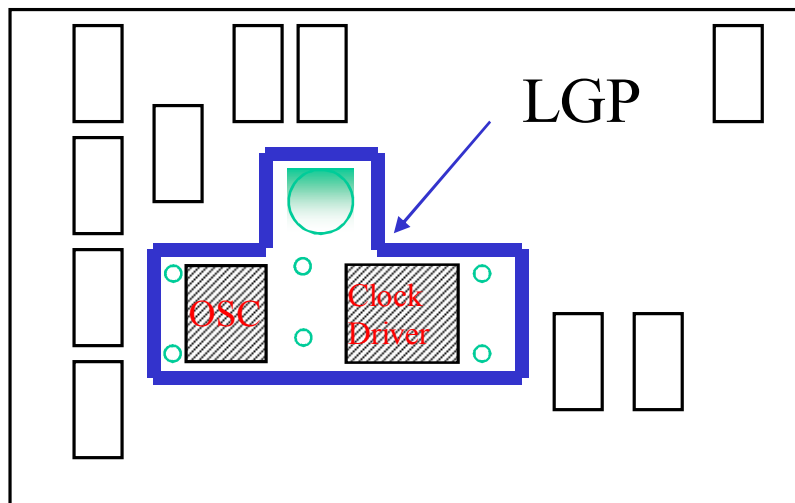


Localized Ground Plane (LGP)



하나의 Localized Ground Plane 전체에 발진기, 크리스탈 그리고 클럭을 지원하는 회로(Buffer, Driver)를 위치시킨다.

LGP는 PCB의 맨 위에 위치하고, 최소 두개의 여분 Bias와 발진기 접지 핀 모두를 통해서 PCB의 주요 **접지 평판으로 직접 연결**된다.



 ⇒ Vias to the ground plane in addition to the ground pins of the devices.

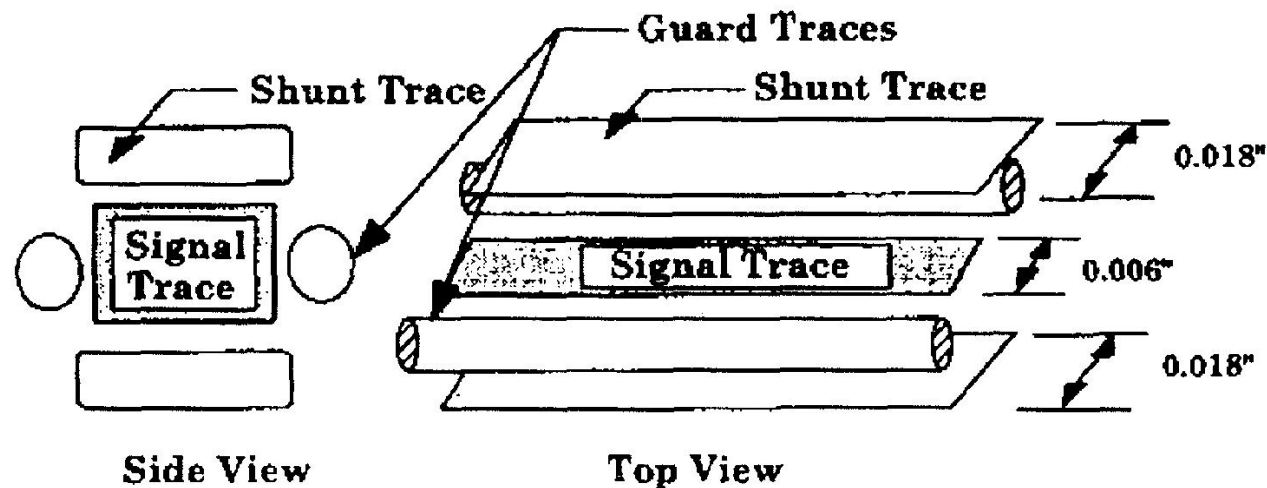


- Clock에서 실제 RF 복사가 문제가 되는 것은 Clock의 Frequency가 아니라 Clock Signal의 Edge Rate이다.
($V=L \, di/dt$, $I=C \, dv/dt$ 에서 di & dt 의 문제이다.)
- 스위칭 속도가 높아지면 클럭 드라이브로부터 직렬 종단 저항기가 Trace임피던스 Z_0 와 같아야 하는 점이 중요해진다.
- 클럭 Trace의 길이가 최고 주파수의 $\lambda/20$ 보다 작게 설계한다.





- 보호 Trace와 병렬 Trace의 사용



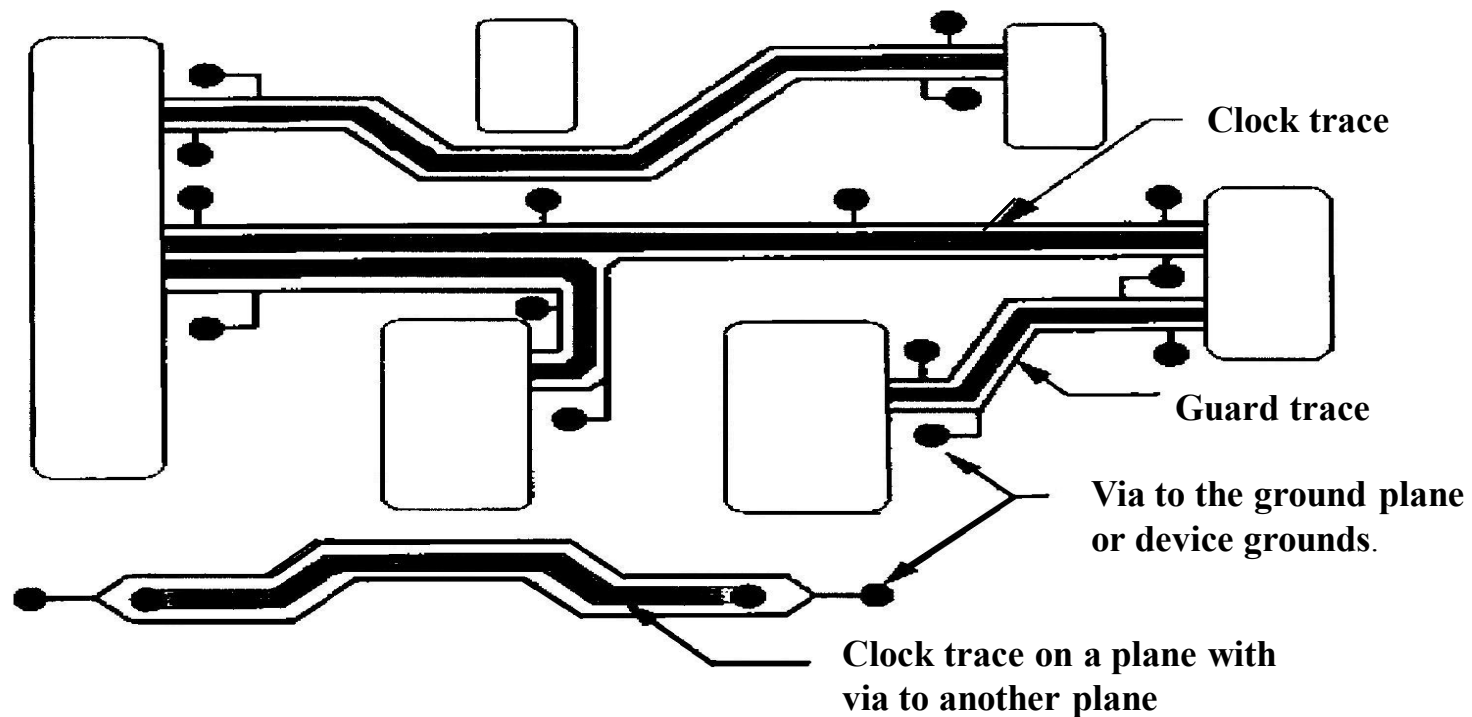
- a. 3-W 규칙의 강화.
- b. High-Threat 신호 Trace에서 다른 회로 Trace까지 Common Mode RF결합을 막음.
- c. 회귀 경로의 낮은 임피던스 제공.



보호 Trace의 사용



- a. 신호 Trace가 길면 접지 평판에 다중으로 연결한다.
- b. 단지 짧은 거리에 한해서 공통 보호 Trace가 공유될 수 있다.



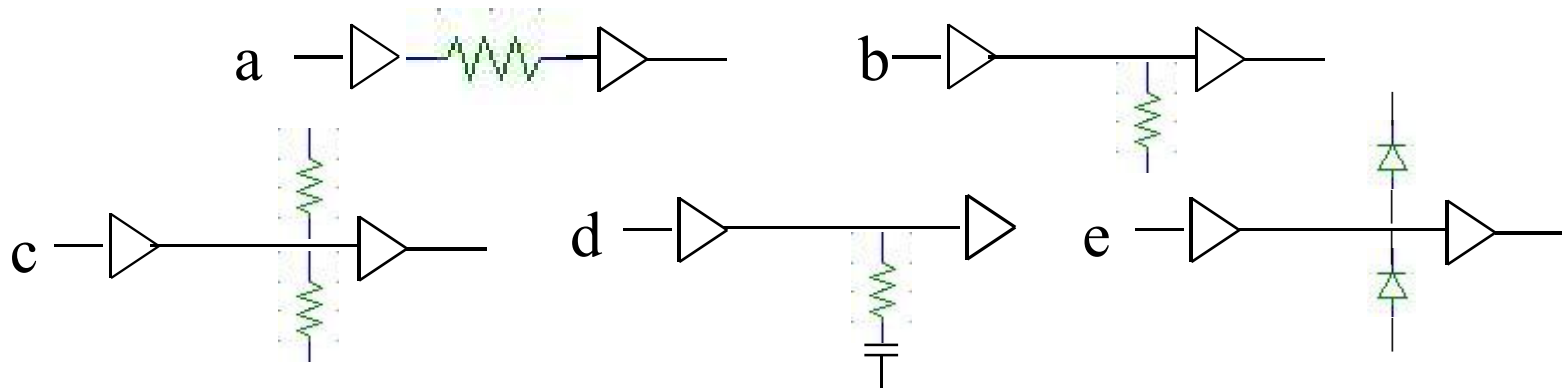


Trace Termination



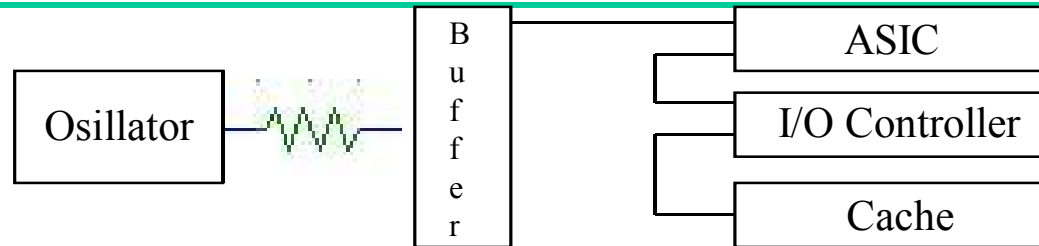
5가지 공통 종단 방법

- a. 직렬 종단 저항. (적은 dc 잡음 Margin)
- b. 병렬 종단 저항. (전력 소비가 크다)
- c. Thevenin 망. (CMOS용 고전력)
- d. RC망.
- e. 다이오드 망. (Undershoot 제한)

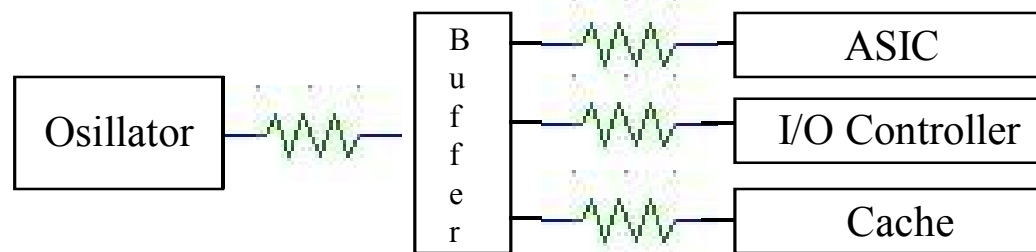




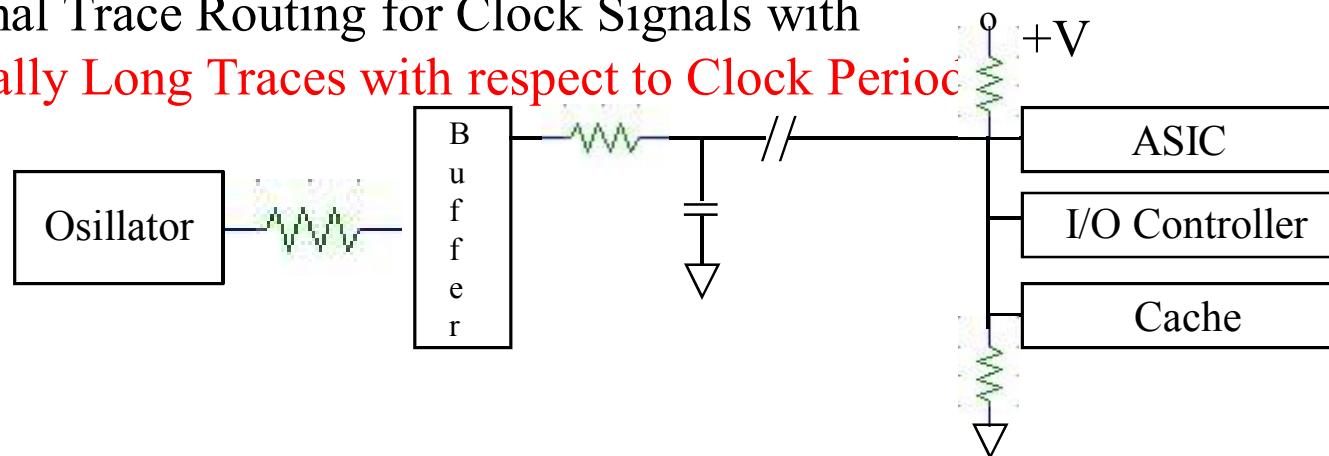
Poor Trace Routing for Clock Signals.



Optimal Trace Routing for Clock Signals with **Electrically Short Traces**



Optimal Trace Routing for Clock Signals with **Electrically Long Traces with respect to Clock Period**





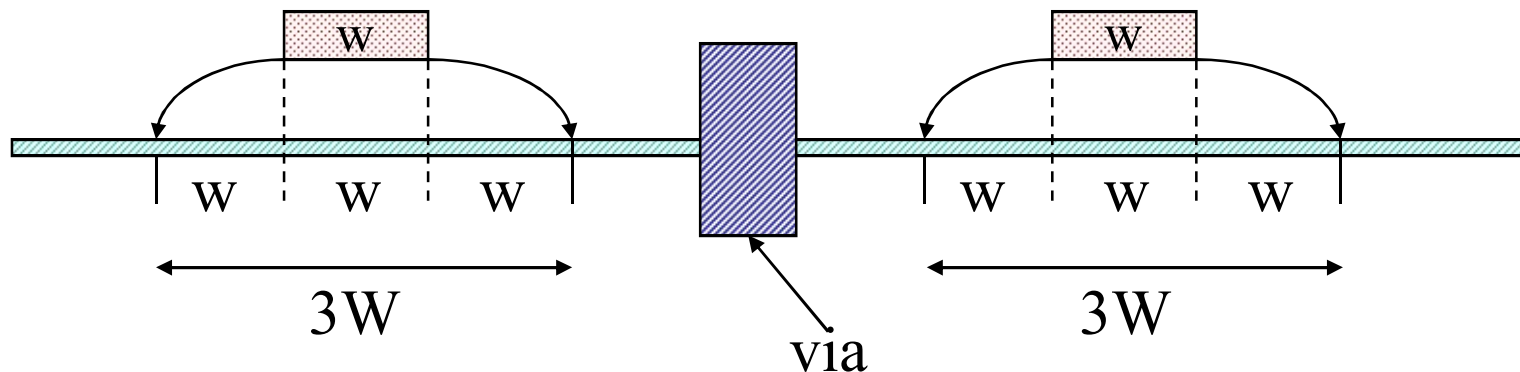
Trace 분리와 3-W 규칙



3-W 규칙

Trace 간의 이격 거리는 반드시 중앙 선로에서 중앙 선로까지 측정된 Trace 폭에 대해 세 배가 되어야 함

: 논리 전류에 대략 70%의 선속 한계를 나타냄.

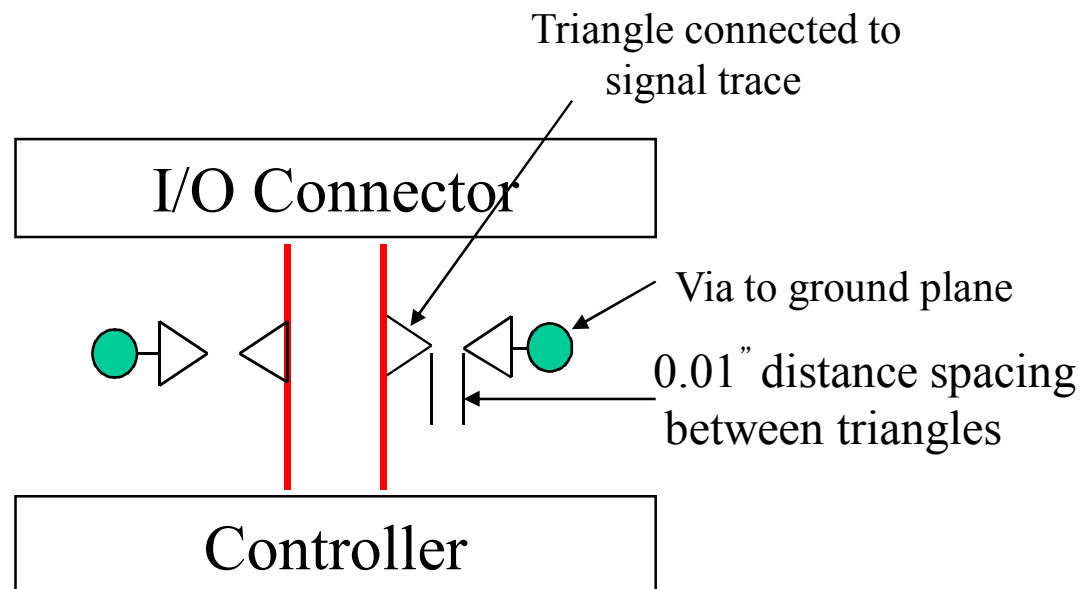




5. 정전기 방전 보호



a. 스파크 갭.



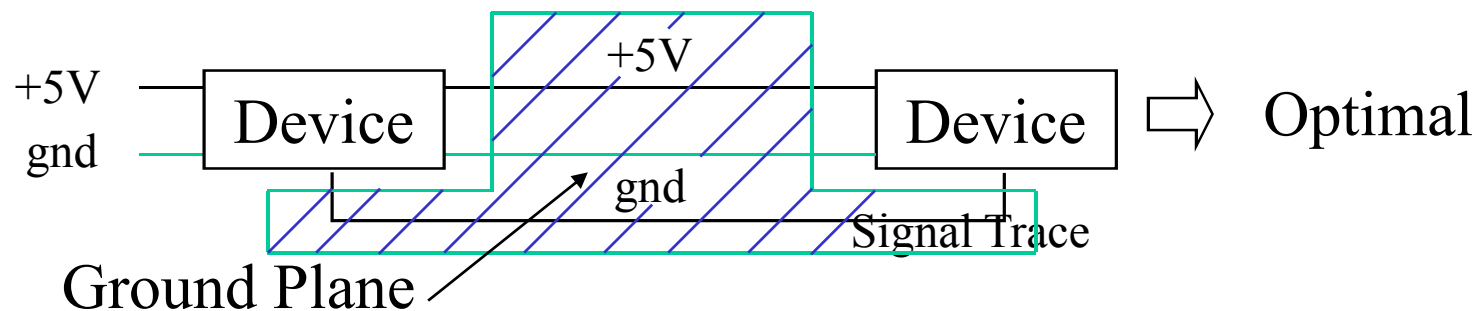
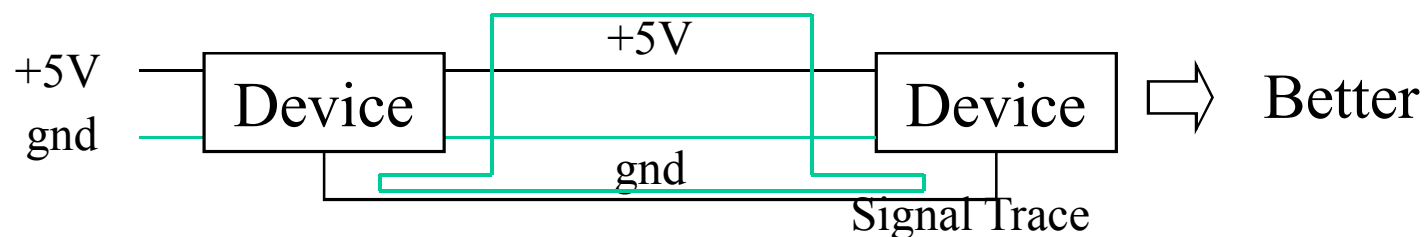
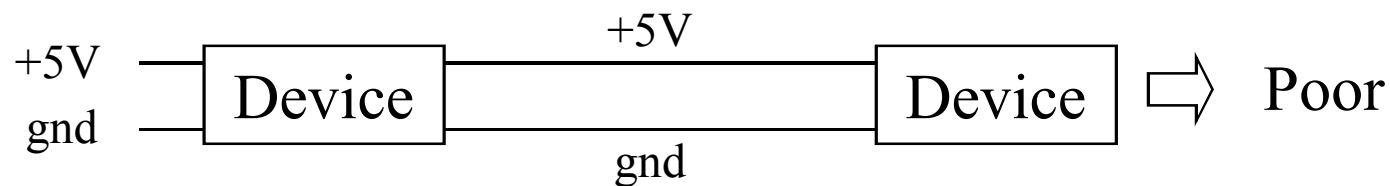
b. LC 필터.

고주파수 ESD 에너지를 시스템에 들어오지 못하게 하는 저역통과 LC 필터를 구성한다.

c. 고전압 커패시터



Loop Area의 최소화





RF 접지루프의 최소화



- 높은 RF 에너지 수준의 회로와 접지.
- 다중점 접지 위치.
- I/O 상호연결과 상호제어 회로.
- 전력 공급 입력 단자와 시스템 접지.
- 카드 가장자리 연결기와 주요 시스템 접지.
- 인쇄회로기판의 반대편 가장 자리.
- 케이블 쉴드와 Chassis접지.



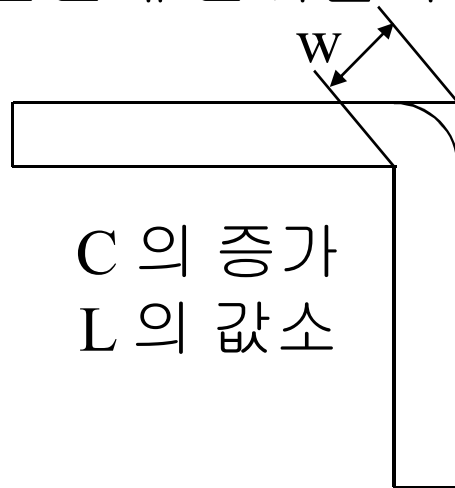


6. 추가적인 설계 기술



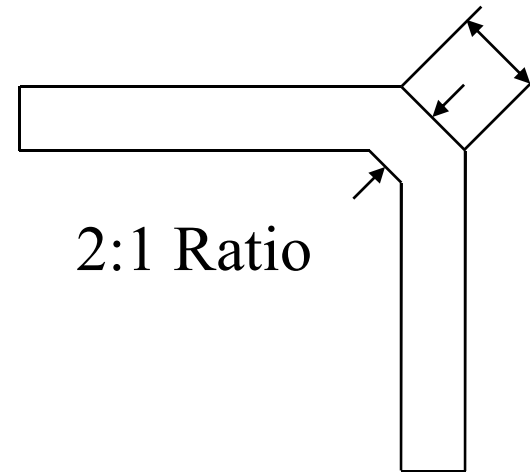
구석에서의 Trace 경로

예리하게 구부러진 곳을 만들 때 단위 길이당 용량성은 증가하고 반면에 단위길이당 유도성은 감소한다.



C의 증가
L의 감소

Bad



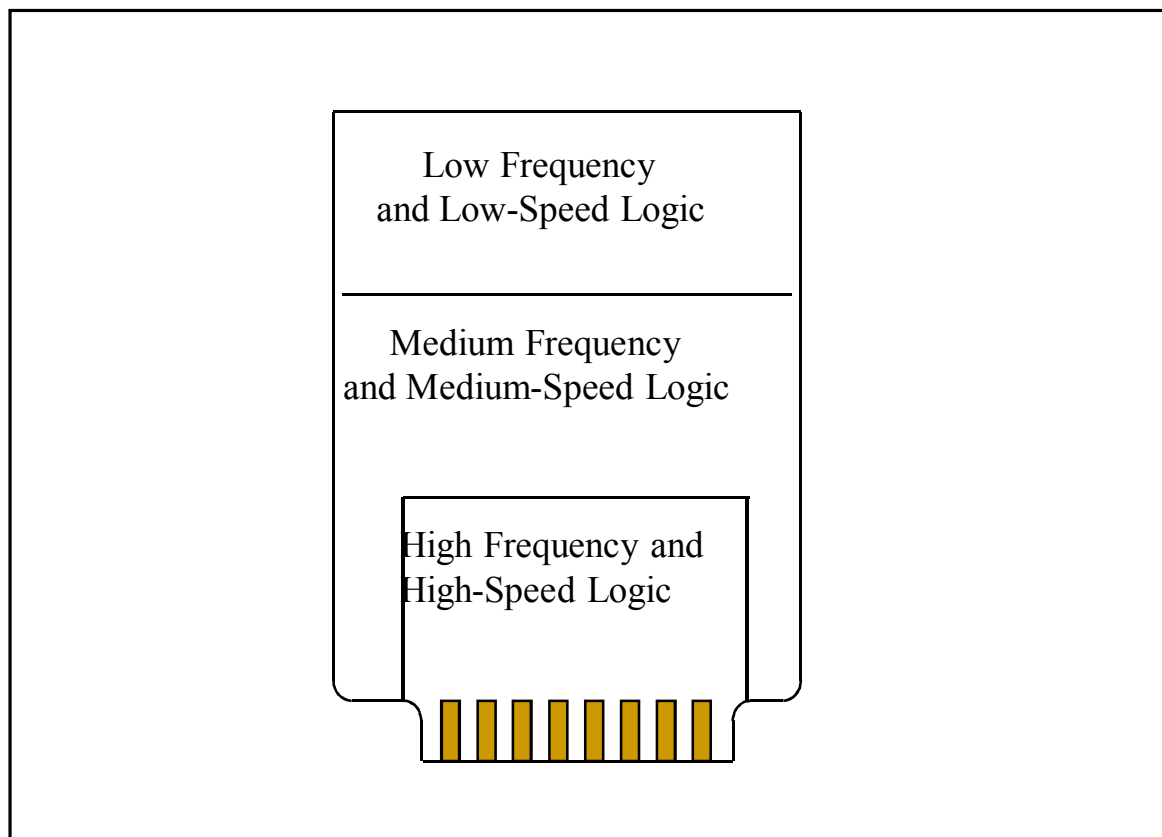
2:1 Ratio

Better

구석의 모서리를 45° 각으로 깎을 때
57%까지 용량성이 감소한다.



Functional Layout Guidelines.





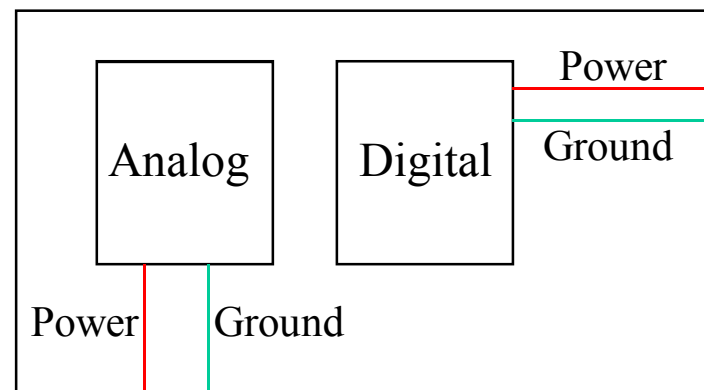
- I/O 영역 근처나 경계선을 따라 위치시키기 보다는 PCB의 중심부 혹은 접지 Stitch 위치에 배치한다.
- Clock 생성 영역에 클럭 회로와 관련된 Trace만을 배치한다.
- PCB 위에 직접 크리스탈과 발진기를 설치한다.
- 가능하면 전체 Clock 회로 주변을 신호 Trace출구를 제외하고, Faraday Cage로 에워 싼다.





- 적절한 기능적인 분할이 이루어져야 한다.
- 분할에 따른 Power와 Ground의 분리가 이루어져야 한다.

Ex)



← Analog와 Digital의
기능적 영역사이에
물리적 공간을
제공해야 한다.



7. Noise의 최소화 방법



1. Shielding
2. Grounding
3. Balancing.
4. Filtering.
5. Isolation.
6. Separation and orientaion.
7. Circuit impedance level control.
8. Cable design.
9. Cancellation techniques.

